

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Won-ki PARK :

Serial No.: [NEW] : Mail Stop Patent Application

Filed: April 15, 2004 : Attorney Docket No. SEC.1158

For: Amplifier Circuit With Output Delay Selectively Changed According To Common
Mode Voltage Level, Associated Replica Delay Circuit And Internal Clock Generator

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the
International Convention of the following Korean applications:

Appln. No. 2003-0029761 filed May 12, 2003


Appln. No. 2003-0087990 filed December 5, 2003

as acknowledged in the Declaration of the subject application.

Certified copies of each application are being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: April 15, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0087990
Application Number

출원년월일 : 2003년 12월 05일
Date of Application DEC 05, 2003

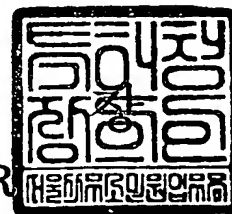
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 09 일

특 허 청

COMMISSIONER





【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0037 |
| 【제출일자】 | 2003. 12. 05 |
| 【국제특허분류】 | H03F |
| 【발명의 명칭】 | 공통 모드 전압 레벨에 따라 선택적으로 변경되는 출력 지연 시간을 가지는 증폭 회로와 이를 구비하는 리플리카 지연 회로 및 이 리플리카 지연 회로를 구비하는 내부 클럭 발생 회로 |
| 【발명의 영문명칭】 | Amplifier circuits having output delay time capable of varying selectively according to a common mode voltage level and replica delay circuit with the amplifier circuit and internal clock generation circuit with the replica delay circuit |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 2003-003435-0 |
| 【대리인】 | |
| 【성명】 | 이해영 |
| 【대리인코드】 | 9-1999-000227-4 |
| 【포괄위임등록번호】 | 2003-003436-7 |
| 【발명자】 | |
| 【성명의 국문표기】 | 박원기 |
| 【성명의 영문표기】 | PARK, Won Ki |
| 【주민등록번호】 | 740809-1222219 |
| 【우편번호】 | 442-070 |
| 【주소】 | 경기도 수원시 팔달구 인계동 삼성아파트 103-2001 |
| 【국적】 | KR |



1020030087990

출력 일자: 2004/2/13

【우선권주장】

【출원국명】

KR

【출원종류】

특허

【출원번호】

10-2003-0029761

【출원일자】

2003.05.12

【증명서류】

첨부

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
이해영 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

19 면 19,000 원

【우선권주장료】

1 건 26,000 원

【심사청구료】

22 항 813,000 원

【합계】

887,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2.우선권증명서류 및 동 번역문_1통

【요약서】**【요약】**

공통 모드 전압 레벨에 따라 선택적으로 변경되는 출력 지연 시간을 가지는 증폭 회로와 이를 구비하는 리플리카 지연 회로 및 이 리플리카 지연 회로를 구비하는 내부 클럭 발생 회로가 개시된다. 본 발명에 따른 증폭 회로는 제1 증폭기와 제2 증폭기를 구비하는 것을 특징으로 한다. 제1 증폭기는 입력 신호들에 응답하여 내부 신호들을 출력하고, 제어신호들에 응답하여 내부 신호들의 공통 모드 전압 레벨을 변경시킨다. 제2 증폭기는 내부 신호들의 전압 레벨들을 비교하고, 그 비교 결과에 따라 출력 신호를 출력하고, 내부 신호들의 공통 모드 전압 레벨이 변경될 때, 출력 신호의 듀티 사이클(duty cycle)을 변경시킨다. 본 발명에 따른 증폭 회로는 필요에 따라 선택적으로 출력 신호의 위상을 지연시키거나 앞당길 수 있는 장점이 있다.

【대표도】

도 4

【명세서】

【발명의 명칭】

공통 모드 전압 레벨에 따라 선택적으로 변경되는 출력 지연 시간을 가지는 증폭 회로와 이를 구비하는 리플리카 지연 회로 및 이 리플리카 지연 회로를 구비하는 내부 클럭 발생 회로 {Amplifier circuits having output delay time capable of varying selectively according to a common mode voltage level and replica delay circuit with the amplifier circuit and internal clock generation circuit with the replica delay circuit}

【도면의 간단한 설명】

도 1은 종래기술에 따른 차동 증폭기의 회로도이다.

도 2는 종래기술에 따른 내부 클럭 발생 회로와 반도체 메모리 장치의 일부인 데이터 출력 회로를 나타내는 블록도이다.

도 3a는 도 2에 도시된 제1 버퍼부를 상세히 나타내는 도면이다.

도 3b는 도 2에 도시된 제2 버퍼부를 상세히 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 증폭 회로를 상세히 나타내는 회로도이다.

도 5는 도 4에 도시된 제1 증폭기로부터 출력되는 내부 신호들의 파형을 나타내는 도면이다.

도 6a 및 도 6b는 도 4에 도시된 제2 증폭기로부터 출력되는 출력 신호의 타이밍도이다.

도 7은 본 발명의 일실시예에 따른 내부 클럭 발생 회로와 반도체 메모리 장치의 일부인 데이터 출력 회로를 나타내는 블록도이다.

도 8은 도 7에 도시된 리플리카 지연회로를 상세히 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 증폭 회로에 관한 것으로서, 특히, 증폭 회로를 이용한 신호의 지연에 관한 것이다.

<11> 일반적으로 증폭 회로는 입력 신호를 소정의 비율로 증폭하여 그 증폭된 신호를 출력한다. 이러한 증폭 회로의 일례로서, 종래기술에 따른 차동 증폭기가 도 1에 도시된다. 도 1을 참고하면, 차동 증폭기(10)는 부하 PMOS 트랜지스터들(PM1, PM2), 차동 NMOS 트랜지스터들(NM1, NM2), 및 전류원 NMOS 트랜지스터(NM3)를 구비한다. 상기와 같이 구성된 종래의 차동 증폭기(10)는 출력 신호(OUT)의 출력 시점이 일정하다. 즉, 상기 차동 NMOS 트랜지스터들(NM1, NM2)의 게이트들에 입력 신호들(IN, INB)이 인가된 후, 노드(NOD)로부터 출력 신호(OUT)가 출력되기까지 일정한 시간이 걸린다. 상술한 것과 같이, 증폭 회로는 증폭 과정에서 걸리는 시간 동안 입력 신호를 지연시켜 출력하기 때문에 지연회로로서 사용되는 경우가 있다. 그러나 종래의 증폭 회로는 그 지연 시간이 고정되어 있기 때문에 가변적인 지연을 요구하는 응용 회로에서 사용되기에는 어려운 것이다.

<12> 한편, 반도체 메모리 장치와 메모리 컨트롤러간의 데이터 전송에서는 데이터를 소정 주파수의 클럭 신호에 동기하여 전송하는 I/O 인터페이스 방식이 사용된다. 이러한 I/O 인터페이스 방식에서는 버스(bus)의 부하가 커지고 전송 속도가 빨라짐에 따라 클럭 신호와 데이터가 정확한 시간적 동기를 이루는 것이 매우 중요하다. 즉, 데이터가 클럭 신호의 에지 혹은 센터에 정확히 위치되도록 하기 위해, 데이터를 전송하는 각 구성요소에 제공되는 클럭 신호는 데

이터가 각 구성요소를 통하여 버스에 실리는데 걸리는 시간으로 역보상되어야 한다. 따라서 반도체 메모리 장치에서는 외부 클럭 신호를 수신하여 내부 클럭 신호를 발생하는 내부클럭 발생 회로가 사용된다. 이러한 내부클럭 발생회로는 위상 동기 루프(phase locked loop, 이하, PLL이라 함) 또는 지연 동기 루프(delay locked loop, 이하, DLL이라 함)로 구현될 수 있다. DLL로 구현되는 내부클럭 발생회로의 일예가 도 2에 도시된다.

<13> 도 2는 종래기술에 따른 내부 클럭 발생 회로와 반도체 메모리 장치의 일부인 데이터 출력 회로를 나타내는 블록도이다. 도 2를 참고하면, 내부 클럭 발생 회로(20)는 외부 클럭 신호(EXCLK)를 수신하여 내부 클럭 신호(INCLK3)를 발생한다. 데이터 출력 회로(30)는 메모리 코어(미도시)로부터 독출되는 데이터(DATA)를 상기 내부클럭 발생회로(20)로부터 출력되는 상기 내부 클럭 신호(INCLK3)에 동기하여 반도체 칩의 외부로 출력한다. 상기 내부 클럭 발생 회로(20)는 가변 지연 회로(40), 버퍼 회로(50), 리플리카(replica) 지연 회로(60), 및 위상 검출기(70)를 포함하고, 상기 데이터 출력 회로(30)는 내부 출력 회로(31)와 출력 드라이버(32)를 포함한다. 또, 상기 버퍼 회로(50)는 듀티 정정부(51)와 클럭 버퍼 회로(52)를 포함한다. 상기 클럭 버퍼 회로(52)는 제1 버퍼부(53)와 제2 버퍼부(54)를 포함한다.

<14> 여기에서, 상기 리플리카 지연회로(60)는 상기 데이터(DATA)가 상기 데이터 출력회로(30)를 통하여 반도체 칩의 외부로 출력되는데 걸리는 시간과 동일한 지연 시간을 갖도록 구성되는 것이 바람직하다. 그러나 상기 리플리카 지연회로(60)의 지연 시간이 상기 데이터 출력회로(30)의 지연 시간과 정확히 일치하도록 상기 리플리카 지연회로(60)를 구성하는 것은 매우 어려운 일이다. 따라서 상기 리플리카 지연회로(60)의 지연 시간은 상기 데이터 출력회로(30)의 지연 시간에 대해 오차를 갖는다. 그 결과 상기 내부클럭 발생회로(20)에 의해 발생하는 상

기 내부 클럭 신호(INCLK3)는 위상 락킹이 완료된 이후에도 상기 외부 클럭 신호(EXCLK)에 정확하게 동기되지 않고 위상 오프셋(offset)을 가지게 된다.

- <15> 종래의 내부클럭 발생회로에서는 내부 클럭 신호의 위상 오프셋을 보상하기 위해, 별도의 지연시간 조절수단을 포함하는 버퍼회로가 사용되었다. 이를 도 3a 및 도 3b를 참고하여 좀 더 상세히 설명하면 다음과 같다.
- <16> 도 3a는 도 2에 도시된 제1 버퍼부를 상세히 나타내는 도면이고, 도 3b는 도 2에 도시된 제2 버퍼부를 상세히 나타내는 도면이다.
- <17> 도 3a를 참고하면, 상기 제1 버퍼부(53)는 버퍼들(81~83)을 포함하고, 도 3b를 참고하면, 상기 제2 버퍼부(54)는 버퍼들(91~93)을 포함한다. 여기에서, 상기 버퍼들(81~83)과 상기 버퍼들(91~93)은 실질적으로 동일한 회로로 구현된다.
- <18> 상기 제2 버퍼부(54)의 상기 버퍼들(91~93) 사이에는 각각 복수의 캐패시터들(C1~C3 및 C4~C6)이 병렬 연결된다. 상기 캐패시터들(C1~C3)은 상기 버퍼(91)의 출력신호를 소정 시간 동안 지연시켜 출력하고, 상기 캐패시터들(C4~C6)은 상기 버퍼(92)의 출력신호를 소정 시간 동안 지연시켜 출력한다. 여기에서, 상기 캐패시터들(C1~C6)의 정전용량에 따라 상기 제2 버퍼부(54)의 지연시간이 조절된다.
- <19> 상기와 같이, 종래의 내부클럭 발생회로(20)는 상기 클럭 버퍼 회로(52)에 구비된 복수의 캐패시터들(C1~C6)의 정전용량을 가변시켜 내부 클럭 신호(INCLK3)의 위상 오프셋을 보상하였다. 그러나, 상기와 같은 종래의 방식에서는 다음과 같은 몇 가지 문제점들이 있다.
- <20> 첫 번째는 지연시간을 다양하게 조절하기 위해, 상기 클럭 버퍼 회로(52)는 다양한 정전용량을 갖는 캐패시터를 구비해야 하는 문제점이 있다. 두 번째는 상기 데이터 출력 회로(30)

의 부하가 클 경우 상기 클럭 버퍼 회로(52)는 큰 정전용량을 갖는 캐패시터를 구비해야 하는 문제점이 있다. 세 번째는 상기 클럭 버퍼 회로(52)에 구비된 복수의 캐패시터들(C1~C6)은 내부 클럭 신호(INCLK1)의 위상을 지연시킬 수만 있고 앞당길 수 없기 때문에 내부 클럭 신호(INCLK3)의 위상 오프셋을 정교하게 조절하기 어려운 문제점이 있다.

- <21> 한편, 도 3b와 같이, 복수의 캐패시터들(C1~C6)이 상기 클럭 버퍼 회로(52)의 제2 버퍼부(54)에 포함될 경우, 상기 제2 버퍼부(54)에서 출력되는 내부 클럭 신호(INCLK3)의 듀티 사이클이 달라질 수 있다. 그러나, 상기 제1 버퍼부(53)는 캐패시터를 포함하지 않기 때문에, 상기 제1 버퍼부(53)로부터 출력되는 내부 클럭 신호(INCLK2)와 상기 제2 버퍼부(54)로부터 출력되는 내부 클럭 신호(INCLK3)의 듀티 사이클이 서로 달라지게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <22> 본 발명이 이루고자하는 기술적 과제는, 공통 모드(common mode) 전압 레벨에 따라 출력 지연 시간이 가변되는 증폭 회로를 제공하는데 있다.
- <23> 본 발명이 이루고자하는 다른 기술적 과제는, 출력 지연 시간이 가변되는 증폭 회로를 구비하여 내부 클럭 신호의 위상을 지연시키거나 앞당김으로써, 내부 클럭 신호의 위상 오프셋을 정교하게 보상할 수 있는 리플리카 지연 회로를 제공하는데 있다.
- <24> 본 발명이 이루고자하는 또 다른 기술적 과제는, 내부 클럭 신호의 위상 오프셋을 보상하는 리플리카 지연 회로를 구비하는 내부 클럭 발생 회로를 제공하는데 있다.

【발명의 구성 및 작용】

- <25> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 증폭 회로는, 제1 증폭기와 제2 증폭기를 구비하는 것을 특징으로 한다. 제1 증폭기는 입력 신호들에 응답하여 내부 신호들을 출력

하고, 제어신호들에 응답하여 내부 신호들의 공통 모드 전압 레벨을 변경시킨다. 제2 증폭기는 내부 신호들의 전압 레벨들을 비교하고, 그 비교 결과에 따라 출력 신호를 출력하고, 내부 신호들의 공통 모드 전압 레벨이 변경될 때, 출력 신호의 듀티 사이클을 변경시킨다.

<26> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 리플리카 지연회로는, 외부 클럭 신호를 수신하고, 부 클럭 신호의 위상과 내부에서 발생된 기준 클럭 신호의 위상 차가 소정의 오차 범위 이내로 될 때 락킹되고, 그 결과로서 내부 클럭 신호를 출력하는 내부클럭 발생회로의 리플리카 지연회로에 있어서, 제1 리플리카 지연부와 제2 리플리카 지연부를 구비하는 것을 특징으로 한다. 제1 리플리카 지연부는 내부 클럭 신호를 설정된 시간 동안 지연시켜 제1 지연 클럭 신호들을 출력한다. 제2 리플리카 지연부는 제1 지연 클럭 신호들에 응답하여 기준 클럭 신호를 출력하고, 제어신호들에 응답하여 기준 클럭 신호의 듀티 사이클을 변경시킨다.

<27> 상기 또 다른 기술적 과제를 달성하기 위한 본 발명에 따른 내부 클럭 발생 회로는, 외부 클럭 신호를 수신하고, 외부 클럭 신호의 위상과 내부에서 발생된 기준 클럭 신호의 위상 차가 소정의 오차 범위 이내로 될 때 락킹되고, 그 결과로서 내부 클럭 신호를 출력하는 내부 클럭 발생회로에 있어서, 가변 지연회로, 버퍼 회로, 리플리카 지연회로, 제어신호 발생기, 및 위상 검출기를 구비하는 것을 특징으로 한다. 가변 지연회로는 외부 클럭 신호를 제1 설정 시간 동안 지연시켜 출력한다. 버퍼 회로는 지연된 외부 클럭 신호를 증폭시켜 내부 클럭 신호를 출력한다. 리플리카 지연회로는 내부 클럭 신호를 제2 설정 시간 동안 지연시켜 기준 클럭 신호를 출력하고, 제어신호들에 응답하여 기준 클럭 신호의 듀티 사이클을 변경시킨다. 제어신호 발생기는 외부 클럭 신호에 대한 내부 클럭 신호의 위상 오프셋 량에 따라 제어신호들을 발생

한다. 위상 검출기는 외부 클럭 신호와 기준 클럭 신호의 위상차를 검출하고, 그 검출 결과에 따라 가변 지연회로의 제1 설정 시간을 제어한다.

- <28> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <29> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <30> 도 4는 본 발명의 일실시예에 따른 증폭 회로(100)를 상세히 나타내는 회로도이다. 도 4를 참고하면, 상기 증폭 회로(100)는 제1 증폭기(101)와 제2 증폭기(102)를 포함한다. 상기 제1 증폭기(101)는 차동 증폭기(110)와 공통 모드 제어회로(120)를 포함한다. 상기 차동 증폭기(110)는 입력 신호들(INS, INSB)의 전압 레벨들을 비교하고, 그 비교 결과에 따라 내부 신호들(VO, VOB)을 출력한다.
- <31> 상기 차동 증폭기(110)는 저항들(R1~R3)과 NMOS 트랜지스터들(N1~N3)을 포함한다. 상기 저항(R1)은 내부전압(VDD)과 제1 노드(ND1) 사이에 연결되고, 상기 저항(R2)은 상기 제1 노드(ND1)와 제2 노드(ND2) 사이에 연결된다. 또, 상기 저항(R3)은 상기 제1 노드(ND1)와 제3 노드(ND3) 사이에 연결된다. 상기 NMOS 트랜지스터(N1)의 드레인은 상기 제2 노드(ND2)에 연결되고, 게이트에는 상기 입력 신호(INS)가 입력된다. 상기 NMOS 트랜지스터(N2)의 드레인은 상기 제3 노드(ND3)에 연결되고, 게이트에는 상기 입력 신호(INSB)가 입력된다. 여기에서, 상기 입력 신호(INSB)는 상기 입력 신호(INS)의 상보 신호이다. 또, 상기 NMOS 트랜지스터들(N1, N2)의 소스들은 상기 NMOS 트랜지스터(N3)의 드레인에 연결된다. 상기 NMOS 트랜지스터(N3)의 소스는 그라운드 전압(VSS)에 연결되고, 게이트에는 제1 기준 전압(VREF1)이 입력된다.

<32> 상기 공통모드 제어회로(120)는 제어신호들(VCTL1~VCTL6)에 응답하여 상기 내부 신호들(V0, VOB)의 전압 레벨들을 가변시킨다. 여기에서, 상기 제어신호들(VCTL1~VCTL6)은 도시되지 않은 별도의 제어신호 발생기에 의해 발생된다. 상기 공통모드 제어회로(120)는 제1 공통모드 변경회로(121)와 제2 공통모드 변경회로(122)를 포함한다. 상기 제1 공통모드 변경회로(121)는 NMOS 트랜지스터들(N4~N6)을 포함하고, 상기 제2 공통모드 변경회로(122)는 NMOS 트랜지스터들(N7~N9)을 포함한다. 상기 NMOS 트랜지스터들(N4~N6)의 드레인들은 상기 제1 노드(ND1)에 연결되고, 소스들은 상기 제2 노드(ND2)에 연결된다. 상기 NMOS 트랜지스터들(N4~N6)의 게이트들에는 상기 제어신호들(VCTL1~VCTL3)이 각각 입력된다. 상기 NMOS 트랜지스터들(N7~N9)의 드레인들은 상기 제1 노드(ND1)에 연결되고, 소스들은 상기 제3 노드(ND3)에 연결된다. 상기 NMOS 트랜지스터들(N7~N9)의 게이트들에는 상기 제어신호들(VCTL4~VCTL6)이 각각 입력된다. 상기 NMOS 트랜지스터들(N4~N9)은 상기 제어신호들(VCTL1~VCTL6)에 응답하여 각각 턴 온되거나 또는 턴 오프된다. 도 4에서, 상기 제1 공통모드 변경회로(121)와 상기 제2 공통모드 변경회로(122)가 각각 세 개의 NMOS 트랜지스터들을 포함하는 것으로 도시되었다. 그러나, 상기 제1 공통모드 변경회로(121)와 상기 제2 공통모드 변경회로(122)에 각각 포함되는 NMOS 트랜지스터의 수는 다양하게 변경될 수 있다.

<33> 상기 제2 증폭기(102)는 상기 제1 증폭기(101)로부터 수신되는 상기 내부 신호들(V0, VOB)의 전압 레벨들을 비교하고, 그 비교 결과에 따라 출력 신호(OUTS)를 출력한다. 상기 제2 증폭기(102)는 저항들(R4~R6)과 NMOS 트랜지스터들(N10~N12)을 포함하는 차동 증폭기로 구현될 수 있다. 상기 저항(R4)은 상기 내부전압(VDD)과 제4 노드(ND4) 사이에 연결되고, 상기 저항(R5)은 상기 제4 노드(ND4)와 상기 NMOS 트랜지스터(N10)의 드레인 사이에 연결된다. 또, 상기 저항(R6)은 상기 제4 노드(ND4)와 제5 노드(ND5) 사이에 연결된다. 상기 NMOS 트랜지스터

(N10)의 게이트에는 상기 제1 증폭기(101)의 상기 출력 신호(VOB)가 인가되고, 상기 NMOS 트랜지스터(N11)의 게이트에는 상기 제1 증폭기(101)의 상기 출력 신호(V0)가 인가된다. 또, 상기 NMOS 트랜지스터(N11)의 드레인은 상기 제5 노드(ND5)에 연결되고, 상기 NMOS 트랜지스터들(N10, N11)의 소스들은 상기 NMOS 트랜지스터(N12)의 드레인에 연결된다. 상기 제5 노드(ND5)로부터 상기 출력 신호(OUTS)가 출력된다.

<34> 상기 NMOS 트랜지스터(N12)의 소스는 상기 그라운드 전압(VSS)에 연결되고, 게이트에는 제2 기준 전압(VREF2)이 입력된다. 여기에서, 상기 제1 기준 전압(VREF1)과 상기 제2 기준 전압(VREF2)은 동일한 전압으로 설정되거나 또는 다른 전압으로 설정될 수 있다.

<35> 다음으로, 도 4 내지 도 6b를 참고하여, 상기와 같이 구성된 본 발명에 따른 증폭 회로(100)의 동작을 설명한다. 도 5는 도 4에 도시된 제1 증폭기로부터 출력되는 내부 신호들(V0, VOB)의 파형을 나타내는 도면이고, 도 6a 및 도 6b는 도 4에 도시된 제2 증폭기로부터 출력되는 출력 신호(OUTS)의 타이밍도이다.

<36> 먼저, 상기 제어신호들(VCTL4~VCTL6)이 모두 인에이블되고 상기 제어신호들(VCTL1~VCTL3) 중 일부 또는 전체가 디세이블되고, 차동 증폭기(110)에 입력되는 입력 신호들(INS, INSB)이 구형파(square wave) 신호인 것으로 가정하자.

<37> 이 때, 상기 제어신호들(VCTL4~VCTL6)에 응답하여 상기 제2 공통모드 변경회로(122)의 상기 NMOS 트랜지스터들(N7~N9)이 모두 턴 온된다. 또, 상기 제어신호들(VCTL1~VCTL3)에 응답하여 상기 NMOS 트랜지스터들(N4~N6) 중 일부 또는 전체가 턴 오프된다. 그 결과 상기 차동 증폭기(110)의 제1 노드(ND1)와 제2 노드(ND2)간의 저항 값이 증가되어, 상기 제2 노드(ND2)로부터 출력되는 내부 신호(VOB)의 전압 레벨이 낮아진다. 이 때, 제3 노드(ND3)로부터 출력되는 내부 신호(V0)의 전압 레벨은 일정하게 유지된다. 도 5를 참고하면, VOB1은 상기 NMOS 트랜

지스터들(N4~N6)이 모두 턴 온될 때 상기 제2 노드(ND2)로부터 출력되는 내부 신호를 나타낸다. 또, VOB2와 VOB3은 상기 NMOS 트랜지스터들(N4~N6) 중 일부 또는 전체가 턴 오프될 때 상기 제2 노드(ND2)로부터 출력되는 내부 신호를 나타낸다.

<38> 도 5에서, 상기 내부 신호(V0)의 전압 레벨이 일정하게 유지되고, 상기 내부 신호(VOB)의 전압 레벨이 VOB1→VOB2→VOB3의 순으로 점차 낮아짐에 따라 공통 모드 전압의 레벨도 AA'→BB'→CC'로 점차 낮아진다. 여기에서, 공통 모드 전압은 상기 내부 신호(V0)와 상기 내부 신호(VOB)가 서로 교차되는 지점의 전압을 말한다.

<39> 이 후, 제2 증폭기(102)는 상기 내부 신호들(V0, VOB)에 응답하여 출력 신호(OUTS)를 출력한다. 도 6a를 참고하면, OUTS1은 상기 제2 증폭기(102)가 AA'의 공통 모드 전압 레벨을 갖는 내부 신호들(V0, VOB1)을 수신할 때, 상기 제2 증폭기(102)로부터 출력되는 신호이다. OUTS2는 상기 제2 증폭기(102)가 BB'의 공통 모드 전압 레벨을 갖는 내부 신호들(V0, VOB2)을 수신할 때, 상기 제2 증폭기(102)로부터 출력되는 신호이다. 상기 제2 증폭기(102)가 CC'의 공통 모드 전압 레벨을 갖는 내부 신호들(V0, VOB3)을 수신할 때, 상기 제2 증폭기(102)로부터 출력되는 신호이다.

<40> 도 6a에서 참조되는 것과 같이, 상기 제2 증폭기(102)에 입력되는 상기 내부 신호들(V0, VOB)의 공통 모드 전압 레벨이 낮아짐에 따라 출력 신호(OUTS)의 듀티 사이클이 변화된다. 즉, 상기 출력 신호(OUTS1)의 하이 레벨 구간에 비해 상기 출력 신호들(OUTS2, OUTS3)의 하이 레벨 구간이 더 짧다. 따라서 상기 출력 신호(OUTS2)의 라이징 에지(rising edge)가 상기 출력 신호(OUTS1)의 라이징 에지 보다 T1 만큼 지연된다. 이와 유사하게, 상기 출력 신호(OUTS3)의 라이징 에지가 상기 출력 신호(OUTS2)의 라이징 에지 보다 T2 만큼 지연된다.

- <41> 다음으로, 상기 제어신호들(VCTL1~VCTL3)이 모두 인에이블되고 상기 제어신호들(VCTL4~VCTL6) 중 일부 또는 전체가 디세이블되는 것으로 가정하자.
- <42> 이 때, 상기 제어신호들(VCTL1~VCTL3)에 응답하여 상기 제1 공통모드 변경회로(121)의 상기 NMOS 트랜지스터들(N4~N6)이 모두 턴 온된다. 또, 상기 제어신호들(VCTL4~VCTL6)에 응답하여 상기 NMOS 트랜지스터들(N7~N9) 중 일부 또는 전체가 턴 오프된다. 그 결과 상기 차동 증폭기(110)의 제1 노드(ND1)와 제3 노드(ND3)간의 저항 값이 증가되어, 상기 제3 노드(ND3)로부터 출력되는 상기 내부 신호(V0)의 전압 레벨이 낮아진다. 이 때, 상기 제2 노드(ND2)로부터 출력되는 상기 내부 신호(V0B)의 전압 레벨은 일정하게 유지된다. 도 5를 참고하면, V01은 상기 NMOS 트랜지스터들(N7~N9)이 모두 턴 온될 때 상기 제3 노드(ND3)로부터 출력되는 내부 신호를 나타낸다. 또, V02와 V03은 상기 NMOS 트랜지스터들(N7~N9) 중 일부 또는 전체가 턴 오프될 때 상기 제3 노드(ND3)로부터 출력되는 내부 신호를 나타낸다.
- <43> 도 5에서, 상기 내부 신호(V0B)의 전압 레벨이 일정하게 유지되고, 상기 내부 신호(V0)의 전압 레벨이 V01→V02→V03의 순으로 점차 낮아짐에 따라 공통 모드 전압의 레벨도 DD'→EE'→FF'로 점차 낮아진다. 이 후, 제2 증폭기(102)는 상기 내부 신호들(V0, V0B)에 응답하여 출력 신호(OUTS)를 출력한다. 도 6b를 참고하면, 상기 제2 증폭기(102)가 DD'의 공통 모드 전압 레벨을 갖는 내부 신호들(V01, V0B)을 수신할 때, 상기 제2 증폭기(102)로부터 출력되는 신호이다. OUTS2는 상기 제2 증폭기(102)가 EE'의 공통 모드 전압 레벨을 갖는 내부 신호들(V02, V0B)을 수신할 때, 상기 제2 증폭기(102)로부터 출력되는 신호이다. OUTS3은 상기 제2 증폭기(102)가 FF'의 공통 모드 전압 레벨을 갖는 내부 신호들(V03, V0B)을 수신할 때, 상기 제2 증폭기(102)로부터 출력되는 신호이다.

- <44> 도 6b에서 참조되는 것과 같이, 상기 제2 증폭기(102)에 입력되는 상기 내부 신호들(V0, VOB)의 공통 모드 전압 레벨이 낮아짐에 따라 출력 신호(OUTS)의 듀티 사이클이 변화된다. 즉, 상기 출력 신호(OUTS1)의 하이 레벨 구간에 비해 상기 출력 신호들(OUTS2, OUTS3)의 하이 레벨 구간이 더 길다. 따라서 상기 출력 신호(OUTS2)의 라이징 에지가 상기 출력 신호(OUTS1)의 라이징 에지 보다 T1 만큼 앞서게 된다. 이와 유사하게, 상기 출력 신호(OUTS3)의 라이징 에지가 상기 출력 신호(OUTS2)의 라이징 에지 보다 T2 만큼 앞서게 된다.
- <45> 상술한 것과 같이, 본 발명에 따른 증폭회로(100)는 공통 모드 전압의 레벨이 가변됨에 따라 출력 신호(OUTS)의 듀티 사이클을 변경시킨다. 그 결과 상기 출력 신호(OUTS)의 위상이 지연되거나 또는 앞당겨지는 것과 유사한 효과가 얻어진다.
- <46> 도 7은 본 발명의 일실시예에 따른 내부 클럭 발생 회로(200)와 반도체 메모리 장치의 일부인 데이터 출력 회로(300)를 나타내는 블록도이다. 여기에서, 상기 내부클럭 발생회로(200)는 DLL 또는 PLL로 구현될 수 있다. 도 7에서는 설명의 편의상 상기 내부클럭 발생회로(200)가 DLL로 구현된 경우를 예를 들어 설명하기로 한다.
- <47> 도 7을 참고하면, 상기 내부클럭 발생회로(200)는 가변 지연 회로(210), 버퍼 회로(220), 리플리카 지연회로(230), 위상 검출기(240), 및 제어신호 발생기(250)를 포함한다. 상기 가변 지연 회로(210)는 외부 클럭신호(CLK_EX)를 제1 설정 시간 동안 지연시켜 제1 내부 클럭신호(CLK_IN1)를 출력한다. 상기 버퍼회로(220)는 상기 제1 내부 클럭신호(CLK_IN1)를 증폭시켜 제2 내부 클럭신호(CLK_IN2)를 출력한다.
- <48> 상기 리플리카 지연회로(230)는 메모리 코어로부터 독출되는 데이터(DATA)가 데이터 출력회로(300)를 통과하여 반도체 메모리 장치의 외부로 출력되는데 걸리는 시간을 보상하기 위해 상기 데이터 출력회로(300)와 유사한 지연 시간을 갖도록 구성된다. 상기 리플리카 지연회

로(230)는 상기 제2 내부 클럭신호(CLK_IN2)를 수신하고, 제어신호들(VCTL1~VCTL6)에 응답하여 기준 클럭 신호(CLK_RE)를 출력한다. 상기 리플리카 지연회로(230)는 도 8을 참고하여 좀 더 상세히 후술된다.

<49> 상기 위상 검출기(240)는 상기 기준 클럭 신호(CLK_RE)와 상기 외부 클럭 신호(CLK_EX)의 위상차를 검출하고, 그 검출 결과에 따라 상기 제1 설정 시간을 가변시켜 상기 가변 지연회로(210)의 지연 시간을 제어한다.

<50> 상기 제어신호 발생기(250)는 외부로부터 입력되는 소정의 입력신호(미도시)에 응답하여 상기 리플리카 지연회로(230)에 상기 제어신호들(VCTL1~VCTL6)을 출력한다. 여기에서, 상기 제어신호 발생기(250)는 퓨즈(fuse) 회로 또는 MRS(mode register set)로 구현될 수 있다. 상기 퓨즈 회로와 상기 MRS는 본 발명의 기술분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 상기 제어신호 발생기(250)의 구성 및 상세한 동작 설명은 생략된다.

<51> 상기 내부클럭 발생회로(200)는 상기 외부 클럭 신호(CLK_EX)의 위상과 상기 기준 클럭 신호(CLK_RE)의 위상차가 소정의 오차 범위 이내로 될 때 락킹되고, 그 결과로서 상기 제2 내부 클럭 신호(CLK_IN2)를 출력한다.

<52> 상기 데이터 출력 회로(300)는 데이터(DATA)를 수신하고, 상기 제2 내부 클럭 신호(CLK_IN2)에 동기하여 상기 데이터(DATA)를 반도체 메모리 장치의 외부로 출력한다. 상기 데이터 출력회로(300)는 내부 출력회로(301)와 출력 드라이버(302)를 포함한다.

<53> 도 8은 도 7에 도시된 리플리카 지연회로(230)를 상세히 나타내는 도면이다. 도 8을 참고하면, 상기 리플리카 지연회로(230)는 제1 리플리카 지연부(231)와 제2 리플리카 지연부(232)를 포함한다. 상기 제1 리플리카 지연부(231)는 데이터 출력

회로(300)의 내부 출력회로(301)와 실질적으로 동일한 지연 시간을 갖도록 구성된다. 상기 제1 리플리카 지연부(231)는 버퍼 회로(220)로부터 수신되는 제2 내부 클럭 신호(CLK_IN2)를 제2 설정 시간 동안 지연시켜 제3 내부 클럭 신호(CLK_IN3)와 반전된 제3 내부 클럭 신호(CLK_IN3B)를 출력한다.

<54> 상기 제2 리플리카 지연부(232)는 상기 데이터 출력회로(300)의 출력 드라이버(302)와 실질적으로 동일한 지연 시간을 갖도록 구성된다. 상기 제2 리플리카 지연부(232)는 상기 제3 내부 클럭 신호(CLK_IN3)와 상기 반전된 제3 내부 클럭 신호(CLK_IN3B)를 수신하고 제어신호들(VCTL1~VCTL6)에 응답하여 기준 클럭 신호(CLK_RE)를 출력한다. 상기 제2 리플리카 지연부(232)는 제1 증폭기(261)와 제2 증폭기(262)를 포함한다.

<55> 상기 제1 증폭기(261)는 상기 제3 내부 클럭 신호(CLK_IN3)와 상기 반전된 제3 내부 클럭 신호(CLK_IN3B)를 수신하고, 상기 제어신호들(VCTL1~VCTL6)에 응답하여 소정의 공통 모드 전압 레벨을 가지는 내부 신호들(V0, VOB)을 출력한다. 여기에서, 상기 내부 신호들(V0, VOB)의 공통 모드 전압 레벨은 상기 제어신호들(VCTL1~VCTL6)에 의해 가변된다. 상기 제1 증폭기(261)의 구성 및 구체적인 동작 설명은 도 4에 도시된 제1 증폭기(101)와 실질적으로 동일하므로 생략된다.

<56> 상기 제2 증폭기(262)는 상기 내부 신호들(V0, VOB)에 응답하여 상기 기준 클럭 신호(CLK_RE)를 출력한다. 상기 제2 증폭기(262)는 상기 내부 신호들(V0, VOB)의 공통 모드 전압 레벨이 가변될 때 상기 기준 클럭 신호(CLK_RE)의 듀티 사이클을 변화시켜 출력한다. 상기 제2 증폭기(262)의 구성 및 구체적인 동작 설명은 도 4에 도시된 제2 증폭기(102)와 실질적으로 동일하므로 생략된다.

- <57> 다음으로, 도 7 및 도 8을 참고하여, 상기와 같이 구성된 내부 클럭 발생 회로(200)의 동작을 설명한다.
- <58> 먼저, 위상 검출기(240)는 외부 클럭 신호(CLK_EX)와 기준 클럭 신호(CLK_RE)의 위상차를 검출하고, 그 검출 결과에 따라 가변 지연 회로(210)의 지연 시간을 제어한다. 상기 가변 지연 회로(210)가 외부 클럭신호(CLK_EX)를 수신하여 제1 설정 시간 동안 지연시키고, 그 지연된 외부 클럭신호(CLK_EX)를 제1 내부 클럭신호(CLK_IN1)로서 출력한다. 상기 버퍼회로(220)는 상기 제1 내부 클럭신호(CLK_IN1)를 증폭시키고, 증폭된 상기 제1 내부 클럭신호(CLK_IN1)를 제2 내부 클럭신호(CLK_IN2)로서 출력한다.
- <59> 이 후, 상기 리플리카 지연회로(230)는 상기 제2 내부 클럭신호(CLK_IN2)를 지연시켜 상기 기준 클럭 신호(CLK_RE)를 출력한다. 여기에서, 상기 리플리카 지연회로(230)는 메모리 코어로부터 독출되는 데이터(DATA)가 데이터 출력회로(300)를 통하여 외부로 출력되는데 걸리는 시간 동안 상기 제2 내부 클럭신호(CLK_IN2)를 지연시킨다. 이를 좀 더 상세히 설명하면, 상기 리플리카 지연회로(230)의 제1 리플리카 지연부(231)는 상기 제2 내부 클럭신호(CLK_IN2)를 제2 설정 시간 동안 지연시켜 제3 내부 클럭 신호(CLK_IN3)와 반전된 제3 내부 클럭 신호(CLK_IN3B)를 출력한다.
- <60> 상기 리플리카 지연회로(230)의 제2 리플리카 지연부(232)는 상기 제3 내부 클럭 신호(CLK_IN3)와 상기 반전된 제3 내부 클럭 신호(CLK_IN3B)를 수신하고 상기 기준 클럭 신호(CLK_RE)를 출력한다.
- <61> 한편, 상기 제2 내부 클럭 신호(CLK_IN2)의 위상 오프셋을 조절하기 위해 상기 제어신호 발생기(250)가 상기 제어신호들(VCTL1~VCTL6)을 출력한다. 예를 들어, 상기 제2 내부 클럭 신호(CLK_IN2)의 위상이 지연되어야 하는 경우, 상기 제어신호 발생기(250)는 제어신호들(VCTL1

~VCTL3) 중 일부 또는 전체를 디세이블시키고, 제어신호들(VCTL4~VCTL6)을 모두 인에이블시킨다. 그 결과 도 5에서 BB' 또는 CC'로 도시된 것과 같이, 상기 제2 리플리카 지연부(232)의 제1 증폭기(261)로부터 출력되는 내부 신호들(V0, VOB)의 공통 모드 전압 레벨이 낮아진다. 또, 상기 제2 리플리카 지연부(232)의 제2 증폭기(262)는 상기 내부 신호들(V0, VOB)에 응답하여, 도 6a에 도시된 출력 신호(OUTS2 또는 OUTS3)와 유사하게 로우 레벨 구간에 비해 하이 레벨 구간이 상대적으로 짧은 듀티 사이클을 갖는 상기 기준 클럭 신호(CLK_RE)를 출력한다. 따라서 상기 기준 클럭 신호(CLK_RE)의 위상이 지연되는 것과 동일한 효과가 얻어진다.

<62> 상기 위상 검출기(240)는 듀티 사이클이 변경된 상기 기준 클럭 신호(CLK_RE)와 상기 외부 클럭 신호(CLK_EX)의 위상차를 검출하고, 그 검출 결과에 따라 상기 제1 설정 시간을 다시 가변시켜 상기 가변 지연 회로(210)의 지연 시간을 제어한다. 이 후, 상기 내부클럭 발생회로(200)는 락킹 동작을 재 수행한다.

<63> 반대로, 상기 제2 내부 클럭 신호(CLK_IN2)의 위상이 앞당겨져야 하는 경우, 상기 제어 신호 발생기(250)는 제어신호들(VCTL4~VCTL6) 중 일부 또는 전체를 디세이블시키고, 제어신호들(VCTL1~VCTL3)을 모두 인에이블시킨다. 그 결과 도 5에서 EE' 또는 FF'로 도시된 것과 같이, 상기 제2 리플리카 지연부(232)의 제1 증폭기(261)로부터 출력되는 내부 신호들(V0, VOB)의 공통 모드 전압 레벨이 낮아진다. 또, 상기 제2 리플리카 지연부(232)의 제2 증폭기(262)는 상기 내부 신호들(V0, VOB)에 응답하여, 도 6b에 도시된 출력 신호(OUTS2 또는 OUTS3)와 유사하게 하이 레벨 구간에 비해 로우 레벨 구간이 상대적으로 짧은 듀티 사이클을 갖는 상기 기준 클럭 신호(CLK_RE)를 출력한다. 따라서 상기 기준 클럭 신호(CLK_RE)의 위상이 앞당겨지는 것과 동일한 효과가 얻어진다.

- <64> 상기 위상 검출기(240)는 듀티 사이클이 변경된 상기 기준 클럭 신호(CLK_RE)와 상기 외부 클럭 신호(CLK_EX)의 위상차를 검출하고, 그 검출 결과에 따라 상기 제1 설정 시간을 다시 가변시켜 상기 가변 지연 회로(210)의 지연 시간을 제어한다. 이 후, 상기 내부클럭 발생회로(200)는 락킹 동작을 재 수행한다.
- <65> 여기에서, 상기 위상 검출기(240)는 상기 외부 클럭 신호(CLK_EX)와 상기 기준 클럭 신호(CLK_RE)의 라이징 에지 또는 폴링 에지만을 비교하여 위상차를 검출하므로, 상기 기준 클럭 신호(CLK_RE)의 듀티 사이클의 변화에는 영향을 받지 않는다.
- <66> 결국, 상기 위상 검출기(240)는 듀티 사이클의 변화에 의해 라이징 에지 또는 폴링 에지가 지연되거나 또는 앞당겨진 상기 기준 클럭 신호(CLK_RE)의 위상과 상기 외부 클럭 신호(CLK_EX)의 위상을 비교한다.
- <67> 상술한 것과 같이, 본 발명에 따른 리플리카 지연회로는 공통 모드 전압 레벨에 따라 출력 지연 시간이 가변되는 증폭 회로로 구현되므로, 내부 클럭 신호의 위상을 지연시키거나 또는 앞당길 수 있다.
- <68> 본 발명에 따른 내부 클럭 발생 회로는 리플리카 지연회로에 의해 위상 오프셋의 크기만큼 위상이 지연되거나 또는 앞당겨진 기준 클럭 신호에 기초하여 내부 클럭 신호를 발생하므로, 내부 클럭 신호의 위상 오프셋을 보상할 수 있다. 또, 본 발명에 따른 내부 클럭 발생 회로는 내부 클럭 신호의 위상 오프셋을 리플리카 지연회로에서 보상하므로, 버퍼회로에 캐패시터와 같은 위상 오프셋 보상용 회로를 구비할 필요가 없다.
- <69> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능

하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <70> 상기한 것과 같이, 본 발명에 따른 증폭 회로는 필요에 따라 선택적으로 출력 신호의 위상을 지연시키거나 앞당길 수 있는 효과가 있다.
- <71> 본 발명에 따른 리플리카 지연회로는 내부 클럭 신호의 위상을 다양하게 지연시켜 위상 오프셋을 보상할 수 있는 효과가 있다.
- <72> 본 발명에 따른 내부 클럭 발생 회로는 리플리카 지연회로에서 내부 클럭 신호의 위상 오프셋을 보상하므로, 버퍼회로에 캐패시터와 같은 위상 오프셋 보상용 회로를 구비할 필요가 없다. 또, 본 발명에 따른 내부 클럭 발생 회로는 리플리카 지연회로에 의해 내부 클럭 신호의 위상 오프셋을 정교하게 보상할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

입력 신호들에 응답하여 내부 신호들을 출력하고, 제어신호들에 응답하여 상기 내부 신호들의 공통 모드 전압 레벨을 변경시키는 제1 증폭기; 및

상기 내부 신호들의 전압 레벨들을 비교하고, 그 비교 결과에 따라 출력 신호를 출력하고, 상기 내부 신호들의 공통 모드 전압 레벨이 변경될 때, 상기 출력 신호의 듀티 사이클을 변경시키는 제2 증폭기를 구비하는 것을 특징으로 하는 증폭 회로.

【청구항 2】

제1항에 있어서,

상기 제1 증폭기는 상기 제어신호들에 응답하여 상기 내부 신호들 중 어느 하나의 전압 레벨을 변경시키고,

상기 내부 신호들 중 어느 하나의 전압 레벨이 변경될 때 상기 내부 신호들의 공통 모드 전압 레벨이 변경되는 것을 특징으로 하는 증폭 회로.

【청구항 3】

제1항에 있어서, 상기 제1 증폭기는,

부하 회로를 포함하고, 상기 입력 신호들의 전압 레벨들을 비교하고, 그 비교 결과에 따라 상기 내부 신호들을 출력하는 차동 증폭기; 및

상기 부하 회로에 병렬 연결되고, 상기 제어신호들에 응답하여 상기 내부 신호들의 공통 모드 전압 레벨을 변경시키는 공통모드 제어회로를 구비하는 것을 특징으로 하는 증폭 회로.

【청구항 4】

제3항에 있어서,

상기 부하 회로는 제1 노드와 제2 노드 사이에 연결되는 제1 부하와, 상기 제1 노드와 제3 노드 사이에 연결되는 제2 부하를 포함하고,

상기 공통모드 제어회로는,

상기 제1 부하에 병렬 연결되고, 상기 제어신호들 중 제1 제어신호들에 응답하여 상기 제1 노드와 상기 제2 노드 사이의 저항의 크기를 변경시키는 제1 공통모드 변경회로; 및

상기 제2 부하에 병렬 연결되고, 상기 제어신호들 중 제2 제어신호들에 응답하여 상기 제2 노드와 상기 제3 노드 사이의 저항의 크기를 변경시키는 제2 공통모드 변경회로를 구비하는 것을 특징으로 하는 증폭 회로.

【청구항 5】

제4항에 있어서,

상기 제1 공통모드 변경회로는 상기 제1 부하의 양단에 각각 드레인과 소스가 연결되고, 게이트에 상기 제1 제어신호들이 입력되는 복수의 제1 NMOS 트랜지스터들을 포함하고,

상기 제2 공통모드 변경회로는 상기 제2 부하의 양단에 각각 드레인과 소스가 연결되고, 게이트에 상기 제2 제어신호들이 입력되는 복수의 제2 NMOS 트랜지스터들을 포함하는 것을 특징으로 하는 증폭 회로.

【청구항 6】

제5항에 있어서,

상기 내부 신호들은 제1 내부 신호와 상기 제1 내부 신호의 상보 신호인 제2 내부 신호를 포함하고,

상기 제1 제어신호들이 인에이블될 때 상기 복수의 제1 NMOS 트랜지스터들이 턴 온되고, 상기 제2 제어신호들이 인에이블될 때 상기 복수의 제2 NMOS 트랜지스터들이 턴 온되고,

턴 오프되는 상기 제1 NMOS 트랜지스터들의 수가 증가할 때 상기 제2 내부 신호의 전압 레벨이 감소하고, 턴 오프되는 상기 제2 NMOS 트랜지스터들의 수가 증가할 때 상기 제1 내부 신호의 전압 레벨이 감소하는 것을 특징으로 하는 증폭 회로.

【청구항 7】

제6항에 있어서,

상기 제2 증폭기는 상기 제2 내부 신호의 전압 레벨이 감소할 때, 하이 레벨 구간이 로우 레벨 구간 보다 상대적으로 짧은 듀티 사이클을 갖는 상기 출력 신호를 출력하고, 상기 제1 내부 신호의 전압 레벨이 감소할 때, 로우 레벨 구간이 하이 레벨 구간 보다 상대적으로 짧은 듀티 사이클을 갖는 상기 출력 신호를 출력하는 것을 특징으로 하는 증폭 회로.

【청구항 8】

외부 클럭 신호를 수신하고, 상기 외부 클럭 신호의 위상과 내부에서 발생된 기준 클럭 신호의 위상차가 소정의 오차 범위 이내로 될 때 락킹되고, 그 결과로서 내부 클럭 신호를 출력하는 내부클럭 발생회로의 리플리카 지연회로에 있어서,

상기 내부 클럭 신호를 설정된 시간 동안 지연시켜 제1 지연 클럭 신호들을 출력하는 제1 리플리카 지연부; 및

상기 제1 지연 클럭 신호들에 응답하여 상기 기준 클럭 신호를 출력하고, 제어신호들에 응답하여 상기 기준 클럭 신호의 듀티 사이클을 변경시키는 제2 리플리카 지연부를 구비하는 것을 특징으로 하는 내부클럭 발생회로의 리플리카 지연회로.

【청구항 9】

제8항에 있어서, 상기 제2 리플리카 지연부는,

상기 제1 지연 클럭 신호들에 응답하여 제2 지연 클럭 신호들을 출력하고, 상기 제어신호들에 응답하여 상기 제2 지연 클럭 신호들의 공통 모드 전압 레벨을 변화시키는 제1 증폭기; 및

상기 제2 지연 클럭 신호들의 전압 레벨들을 비교하고, 그 비교 결과에 따라 상기 기준 클럭 신호를 출력하고, 상기 제2 지연 클럭 신호들의 공통 모드 전압 레벨이 변화될 때, 상기 기준 클럭 신호의 듀티 사이클을 변경시키는 제2 증폭기를 구비하는 것을 특징으로 하는 내부 클럭 발생회로의 리플리카 지연회로.

【청구항 10】

제9항에 있어서, 상기 제1 증폭기는,

부하 회로를 포함하고, 상기 제1 지연 클럭 신호들의 전압 레벨들을 비교하고, 그 비교 결과에 따라 상기 제2 지연 클럭 신호들을 출력하는 차동 증폭기; 및

상기 부하 회로에 병렬 연결되고, 상기 제어신호들에 응답하여 상기 제2 지연 클럭 신호들의 공통 모드 전압 레벨을 변경시키는 공통모드 제어회로를 구비하는 것을 특징으로 하는 내부클럭 발생회로의 리플리카 지연회로.

【청구항 11】

제10항에 있어서,

상기 부하 회로는 제1 노드와 제2 노드 사이에 연결되는 제1 부하와, 상기 제1 노드와 제3 노드 사이에 연결되는 제2 부하를 포함하고,

상기 공통모드 제어회로는,

상기 제1 부하에 병렬 연결되고, 상기 제어신호들 중 제1 제어신호들에 응답하여 상기 제1 노드와 상기 제2 노드 사이의 저항의 크기를 변경시키는 제1 공통모드 변경회로; 및

상기 제2 부하에 병렬 연결되고, 상기 제어신호들 중 제2 제어신호들에 응답하여 상기 제2 노드와 상기 제3 노드 사이의 저항의 크기를 변경시키는 제2 공통모드 변경회로를 구비하는 것을 특징으로 하는 내부클럭 발생회로의 리플리카 지연회로.

【청구항 12】

제11항에 있어서,

상기 제1 공통모드 변경회로는 상기 제1 부하의 양단에 각각 드레인과 소스가 연결되고, 게이트에 상기 제1 제어신호들이 입력되는 복수의 제1 NMOS 트랜지스터들을 포함하고,

상기 제2 공통모드 변경회로는 상기 제2 부하의 양단에 각각 드레인과 소스가 연결되고, 게이트에 상기 제2 제어신호들이 입력되는 복수의 제2 NMOS 트랜지스터들을 포함하는 것을 특징으로 하는 내부클럭 발생회로의 리플리카 지연회로.

【청구항 13】

제12항에 있어서,

상기 제2 지연 클럭 신호들은 제1 클럭 신호와 상기 제1 클럭 신호의 상보 신호인 제2 클럭 신호를 포함하고,

상기 제1 제어신호들이 인에이블될 때 상기 복수의 제1 NMOS 트랜지스터들이 턴 온되고, 상기 제2 제어신호들이 인에이블될 때 상기 복수의 제2 NMOS 트랜지스터들이 턴 온되고,

턴 오프되는 상기 제1 NMOS 트랜지스터들의 수가 증가할 때 상기 제2 클럭 신호의 전압 레벨이 감소하고, 턴 오프되는 상기 제2 NMOS 트랜지스터들의 수가 증가할 때 상기 제2 클럭 신호의 전압 레벨이 감소하는 것을 특징으로 하는 내부클럭 발생회로의 리플리카 지연회로.

【청구항 14】

제13항에 있어서,

상기 제2 증폭기는 상기 제2 클럭 신호의 전압 레벨이 감소할 때, 하이 레벨 구간이 로우 레벨 구간 보다 상대적으로 짧은 듀티 사이클을 갖는 상기 기준 클럭 신호를 출력하고, 상기 제1 클럭 신호의 전압 레벨이 감소할 때, 로우 레벨 구간이 하이 레벨 구간 보다 상대적으로 짧은 듀티 사이클을 갖는 상기 기준 클럭 신호를 출력하는 것을 특징으로 하는 내부클럭 발생회로의 리플리카 지연회로.

【청구항 15】

외부 클럭 신호를 수신하고, 상기 외부 클럭 신호의 위상과 내부에서 발생된 기준 클럭 신호의 위상차가 소정의 오차 범위 이내로 될 때 락킹되고, 그 결과로서 내부 클럭 신호를 출력하는 내부클럭 발생회로에 있어서,

상기 외부 클럭 신호를 제1 설정 시간 동안 지연시켜 출력하는 가변 지연회로;

지연된 상기 외부 클럭 신호를 증폭시켜 상기 내부 클럭 신호를 출력하는 버퍼 회로;

상기 내부 클럭 신호를 제2 설정 시간 동안 지연시켜 상기 기준 클럭 신호를 출력하고, 제어신호들에 응답하여 상기 기준 클럭 신호의 듀티 사이클을 변경시키는 리플리카 지연회로;

상기 외부 클럭 신호에 대한 상기 내부 클럭 신호의 위상 오프셋 량에 따라 상기 제어신호들을 발생하는 제어신호 발생기; 및

상기 외부 클럭 신호와 상기 기준 클럭 신호의 위상차를 검출하고, 그 검출 결과에 따라 상기 가변 지연회로의 상기 제1 설정 시간을 제어하는 위상 검출기를 구비하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 16】

제15항에 있어서, 상기 리플리카 지연회로는,

상기 내부 클럭 신호를 제3 설정 시간 동안 지연시켜 제1 지연 클럭 신호들을 출력하는 제1 리플리카 지연부; 및

상기 제1 지연 클럭 신호들에 응답하여 상기 기준 클럭 신호를 출력하고, 상기 제어신호들에 응답하여 상기 기준 클럭 신호의 듀티 사이클을 변경시키는 제2 리플리카 지연부를 구비하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 17】

제16항에 있어서, 상기 제2 리플리카 지연부는,

상기 제1 지연 클럭 신호들에 응답하여 제2 지연 클럭 신호들을 출력하고, 상기 제어신호들에 응답하여 상기 제2 지연 클럭 신호들의 공통 모드 전압 레벨을 변화시키는 제1 증폭기; 및

상기 제2 지연 클럭 신호들의 전압 레벨들을 비교하고, 그 비교 결과에 따라 상기 기준 클럭 신호를 출력하고, 상기 제2 지연 클럭 신호들의 공통 모드 전압 레벨이 변화될 때, 상기 기준 클럭 신호의 듀티 사이클을 변경시키는 제2 증폭기를 구비하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 18】

제17항에 있어서, 상기 제1 증폭기는,

부하 회로를 포함하고, 상기 제1 지연 클럭 신호들의 전압 레벨들을 비교하고, 그 비교 결과에 따라 상기 제2 지연 클럭 신호들을 출력하는 차동 증폭기; 및

상기 부하 회로에 병렬 연결되고, 상기 제어신호들에 응답하여 상기 제2 지연 클럭 신호들의 공통 모드 전압 레벨을 변경시키는 공통모드 제어회로를 구비하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 19】

제18항에 있어서,

상기 부하 회로는 제1 노드와 제2 노드 사이에 연결되는 제1 부하와, 상기 제1 노드와 제3 노드 사이에 연결되는 제2 부하를 포함하고,

상기 공통모드 제어회로는,

상기 제1 부하에 병렬 연결되고, 상기 제어신호들 중 제1 제어신호들에 응답하여 상기 제1 노드와 상기 제2 노드 사이의 저항의 크기를 변경시키는 제1 공통모드 변경회로; 및

상기 제2 부하에 병렬 연결되고, 상기 제어신호들 중 제2 제어신호들에 응답하여 상기 제2 노드와 상기 제3 노드 사이의 저항의 크기를 변경시키는 제2 공통모드 변경회로를 구비하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 20】

제19항에 있어서,

상기 제1 공통모드 변경회로는 상기 제1 부하의 양단에 각각 드레인과 소스가 연결되고, 게이트에 상기 제1 제어신호들이 입력되는 복수의 제1 NMOS 트랜지스터들을 포함하고,

상기 제2 공통모드 변경회로는 상기 제2 부하의 양단에 각각 드레인과 소스가 연결되고, 게이트에 상기 제2 제어신호들이 입력되는 복수의 제2 NMOS 트랜지스터들을 포함하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 21】

제20항에 있어서,

상기 제2 지연 클럭 신호들은 제1 클럭 신호와 상기 제1 클럭 신호의 상보 신호인 제2 클럭 신호를 포함하고,

상기 제1 제어신호들이 인에이블될 때 상기 복수의 제1 NMOS 트랜지스터들이 턴 온되고, 상기 제2 제어신호들이 인에이블될 때 상기 복수의 제2 NMOS 트랜지스터들이 턴 온되고,

턴 오프되는 상기 제1 NMOS 트랜지스터들의 수가 증가할 때 상기 제2 클럭 신호의 전압 레벨이 감소하고, 턴 오프되는 상기 제2 NMOS 트랜지스터들의 수가 증가할 때 상기 제2 클럭 신호의 전압 레벨이 감소하는 것을 특징으로 하는 내부 클럭 발생 회로.

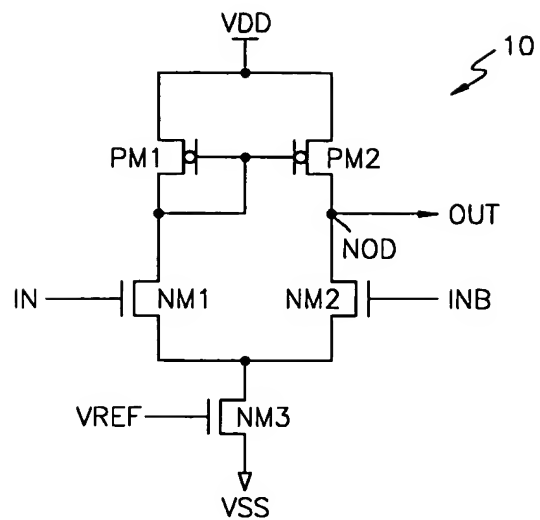
【청구항 22】

제21항에 있어서,

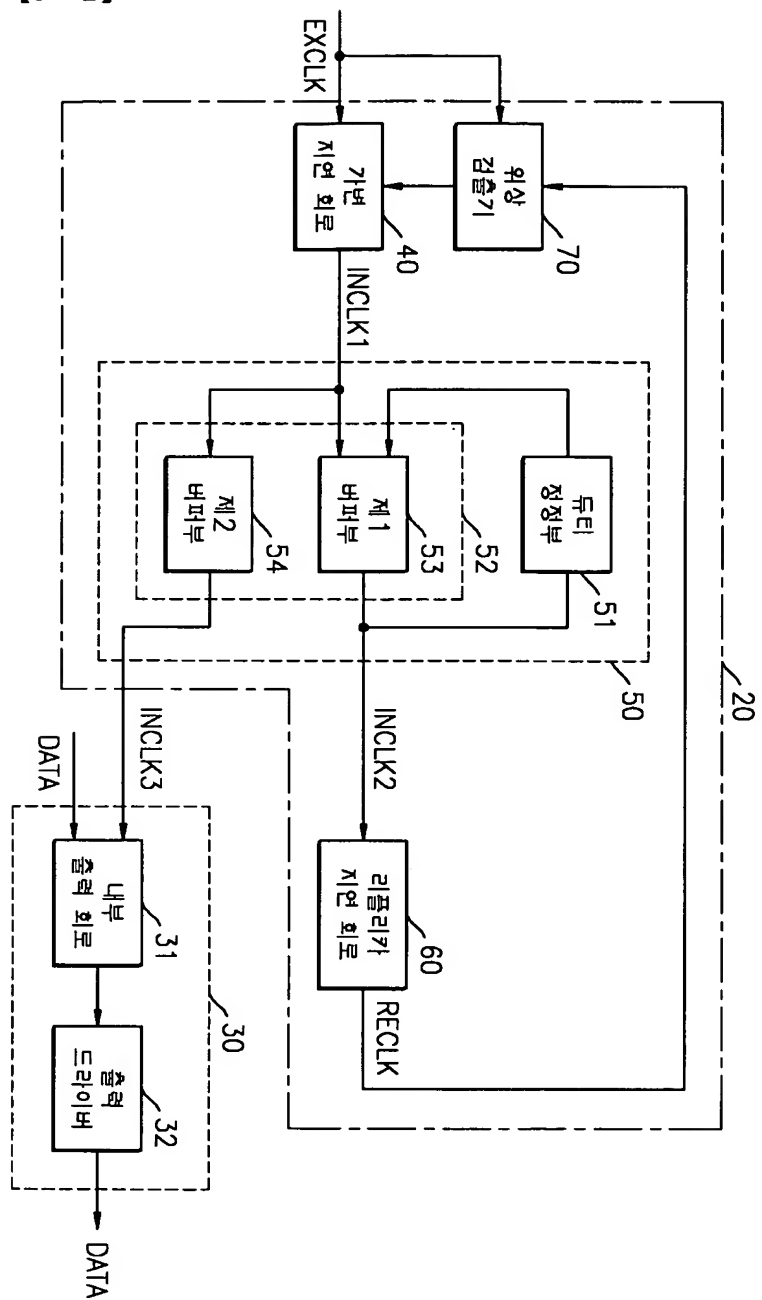
상기 제2 증폭기는 상기 제2 클럭 신호의 전압 레벨이 감소할 때, 하이 레벨 구간이 로우 레벨 구간 보다 상대적으로 짧은 듀티 사이클을 갖는 상기 기준 클럭 신호를 출력하고, 상기 제1 클럭 신호의 전압 레벨이 감소할 때, 로우 레벨 구간이 하이 레벨 구간 보다 상대적으로 짧은 듀티 사이클을 갖는 상기 기준 클럭 신호를 출력하는 것을 특징으로 하는 내부 클럭 발생 회로.

【도면】

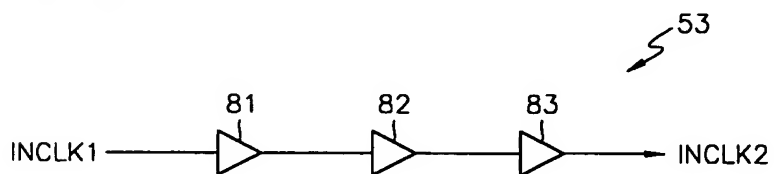
【도 1】



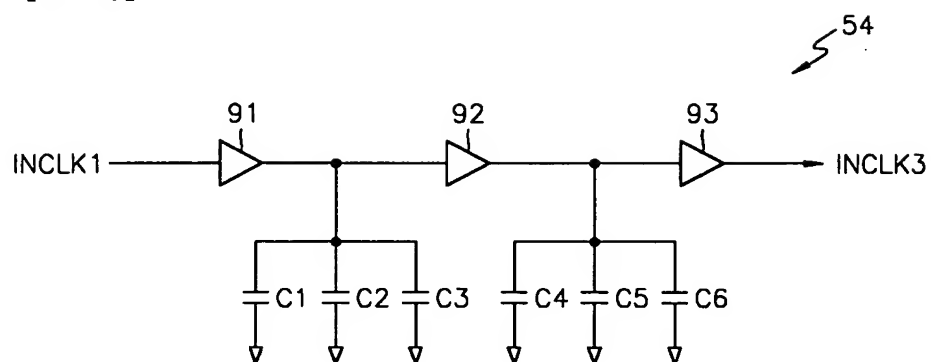
【도 2】



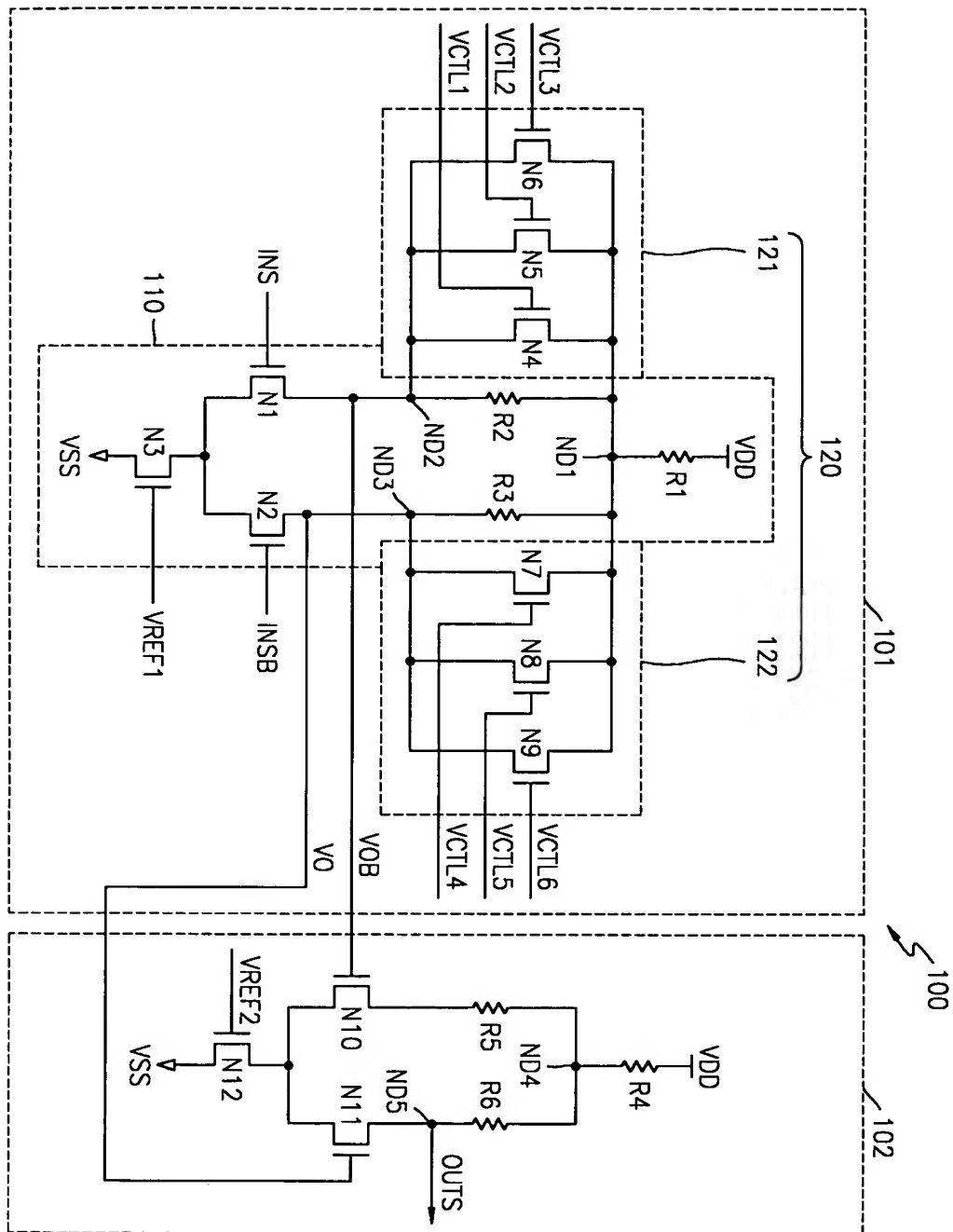
【도 3a】



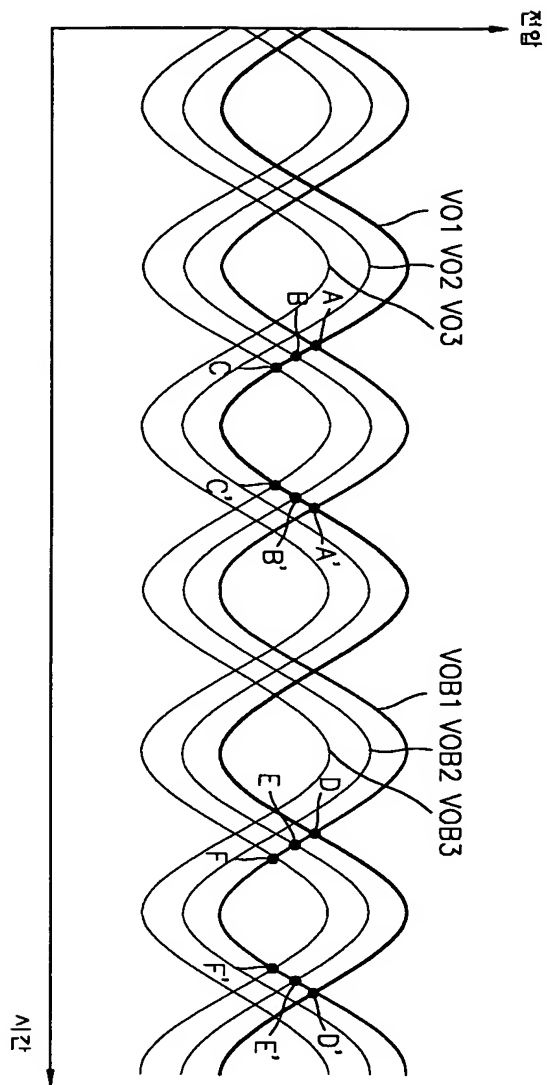
【도 3b】



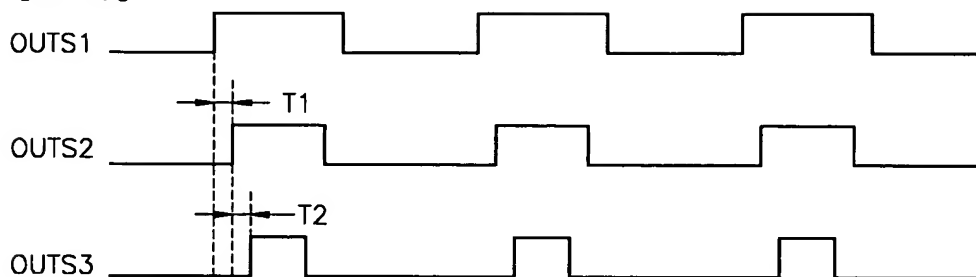
【도 4】



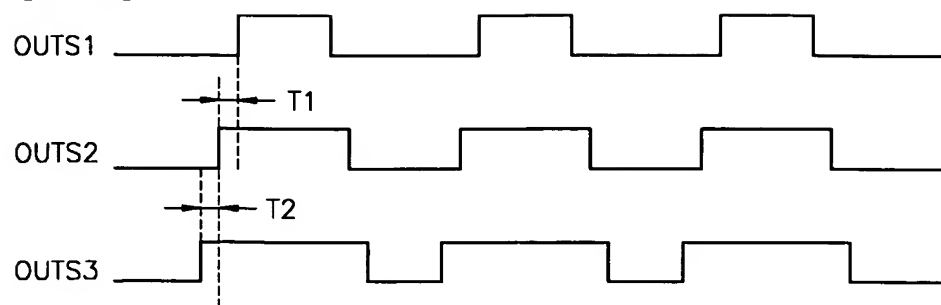
【도 5】



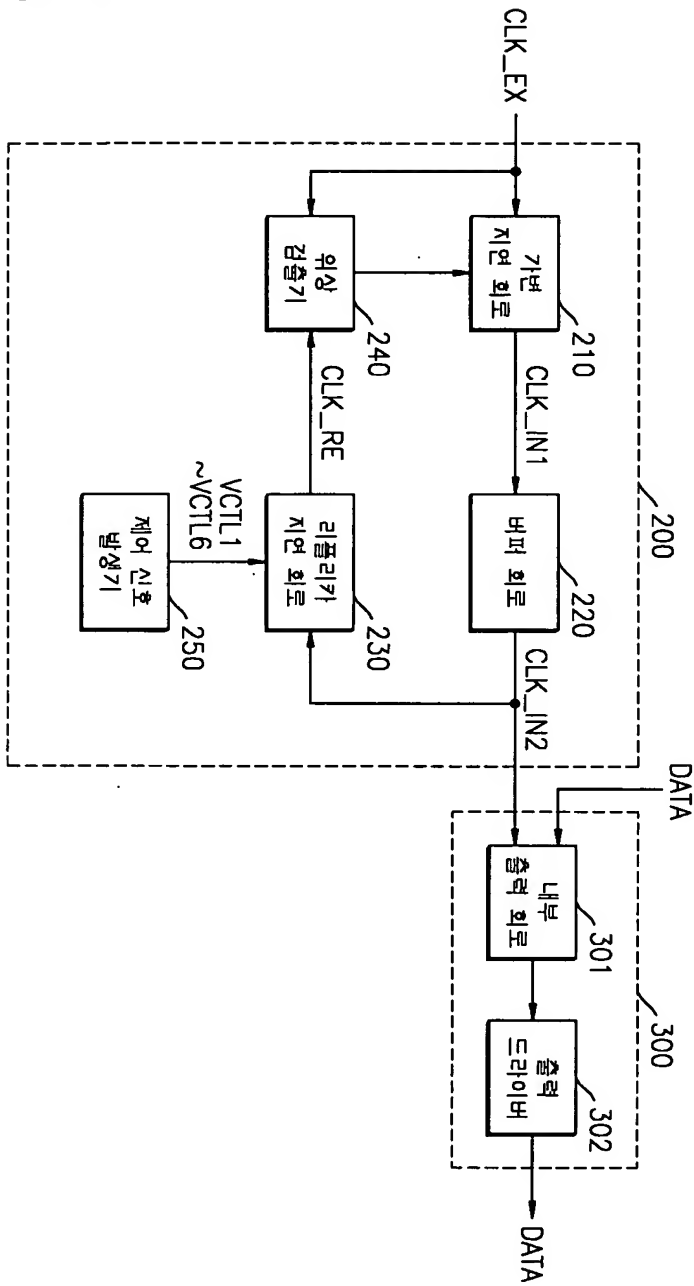
【도 6a】



【도 6b】



【도 7】



【도 8】

